

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

008364696 **Image available**

WPI Acc No: 1990-251697/199033

Mfr. of thin-film FET by injecting impurity atoms - into amorphous or polycrystalline semiconductor and anneals it with light beam to form source and drain regions NoAbstract Dwg 1/9

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2177443	A	19900710	JP 88331337	A	19881228	199033 B

Priority Applications (No Type Date): JP 88331337 A 19881228

Title Terms: MANUFACTURE; THIN; FILM; FET; INJECTION; IMPURE; ATOM;
AMORPHOUS; POLYCRYSTALLINE; SEMICONDUCTOR; ANNEAL; LIGHT; BEAM;
FORM; SOURCE; DRAIN; REGION; NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03201943 **Image available**

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: 02-177443 [JP 2177443 A]

PUBLISHED: July 10, 1990 (19900710)

INVENTOR(s): SAMEJIMA TOSHIYUKI

 TOMITA TAKASHI

 HARA MASATERU

 USUI SETSUO

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 63-331337 [JP 88331337]

FILED: December 28, 1988 (19881228)

INTL CLASS: [5] H01L-021/336; H01L-021/20; H01L-021/268; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS)

JOURNAL: Section: E, Section No. 983, Vol. 14, No. 448, Pg. 7,

 September 26, 1990 (19900926)

ABSTRACT

PURPOSE: To facilitate annealing for crystallization and annealing for impurity diffusion or implantation simultaneously by one time light beam annealing by a method wherein, after dopant is implanted into the source and drain forming regions of an amorphous semiconductor layer or doped layers are formed in the source and drain forming regions, a light beam annealing process is carried out.

CONSTITUTION: In order to manufacture a thin film transistor through a light beam annealing process in which an amorphous semiconductor layer 21 is crystallized or/and a fine polycrystalline semiconductor layer is recrystallized, dopant atoms are implanted into the source and drain forming regions of the amorphous semiconductor layer 21 or/and the polycrystalline semiconductor layer or doped layers 22 are formed in the source and drain forming regions and then a light beam is applied to the

surface on which the gate 32 is formed for annealing and the amorphous semiconductor layer 21 is crystallized or/and the fine polycrystalline semiconductor layer is recrystallized and, at the same time, source and drain regions 24 and 25 are formed. For instance, the pulse application of a laser beam L is employed for the light beam annealing.

訂正有り

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-177443

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月10日

H 01 L 21/336
21/20
21/268
29/784

Z

7739-5F
7738-5F

8624-5F H 01 L 29/78 311 P

審査請求 未請求 請求項の数 1 (全10頁)

⑮ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 昭63-331337

⑰ 出 願 昭63(1988)12月28日

⑱ 発 明 者	鮫 島 俊 之	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	畠 田 尚	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	原 昌 輝	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	碓 井 節 夫	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
⑳ 代 理 人	弁理士 松隈 秀盛		

明 細 書

発明の名称 薄膜トランジスタの製造方法

特許請求の範囲

非晶質半導体層に対する結晶化、或いは(および)微細多結晶半導体層に対する再結晶化を行う光ビームアニーリング工程を有する薄膜トランジスタの製造方法において、

導体層のソースおよびドレインを形成する領域に、不純物原子の注入あるいは不純物原子含有層の形成を行い、その後上記光ビームアニーリング工程をゲート部の形成前或いはゲート部の形成後とは反対側から行って上記非晶質半導体に対する結晶化或いは(および)微細多結晶半導体層に対する再結晶化を行うと同時にソースおよびドレイン領域の形成を行うことを特徴とする薄膜トランジスタの製造方法。

発明の詳細な説明

以下の順序で本発明を説明する。

A 産業上の利用分野

B 発明の概要

C 従来の技術

D 発明が解決しようとする課題

E 課題を解決するための手段

F 作用

G 実施例

H 発明の効果

A. 産業上の利用分野

本発明は薄膜トランジスタの製造方法、即ち薄膜半導体層に絶縁ゲート型電界効果トランジスタが形成される薄膜トランジスタの製造方法に係わる。

B. 発明の概要

本発明は薄膜トランジスタの製造方法、特に非晶質半導体層に対する結晶化或いは(および)微細多結晶半導体層に対する再結晶化を行う光ビームアニーリング工程を有する薄膜トランジスタの製造方法において、その光ビームアニーリング前

の非晶質半導体層或いは微細多結晶半導体層のソースおよびドレインを形成する領域に不純物原子の注入あるいは不純物原子含有層の形成を行って後に光ビームアニーリング工程を行うことによって非晶質半導体に対する結晶化或いは(および)微細多結晶半導体層の再結晶化即ち結晶粒の成長を行うと同時にソースおよびドレイン領域を確実形成するものであり、1回の光ビームアニーリング工程によって非晶質或いは微細多結晶半導体層に対する結晶化ないしは再結晶化の作業とソースおよびドレイン形成の不純物の拡散ないしは活性化処理のアニールを同時に行うことができるようにして製造の簡易化をはかるものである。

C. 従来の技術

プラズマCVD (Chemical Vapour Deposition) によって形成した水素化非晶質シリコン(以下a-Si:Hと記す)膜をパルスレーザー照射によって常温雰囲気下で結晶化することによりキャリアの移動度の大きい良質の多結晶シリコン膜を低温で

このようにして第9図Bに示すように非晶質半導体層4が多結晶化された多結晶半導体層4aを形成する。そしてこのアイランド状の多結晶半導体層4aの最終的にTFTのゲート部を形成する部分に、それぞれ例えばSiO₂あるいはSiNの絶縁層によるゲート絶縁層4bとゲート電極4cとを被覆形成する。その後全面的にソースおよびドレインを形

えばフォスフィンPH₃とシリコンを含む原料ガス例えばモノシランSiH₄を用いてプラズマCVDによって、不純物含有層4dを形成する。

その後再びエキシマレーザー光Lの照射を行って第9図Cに示すように、不純物含有層4d中の不純物例えばPを多結晶半導体層4aのゲート絶縁層4bおよびゲート電極4cによって覆われていない部分に拡散して高不純物濃度の例えばn型のソースおよびドレイン領域4eおよび4fの形成を行う。

次に第9図Dに示すように、ソース領域4eおよびドレイン領域4f上にそれぞれソース電極4gおよびドレイン電極4hをオーミックに被覆して目的と

作製することが可能になった。このような技術の適用により多結晶シリコン薄膜による薄膜トランジスタ(TFT)が300℃以下の低温工程で実現できるようになった(T. Samoshina and S. Usui: Materials Research Society Symposium Proceedings vol. 71 (1986) P435~440 参照)。

上述したパルスレーザー照射によるレーザーアニール法を用いた多結晶シリコンによるTFT製造工程においては、通常その結晶化とソース、ドレイン形成のためのイオン注入によるドーパント即ち不純物原子の活性化のためのレーザー処理とを別工程によって行っている。第9図を参照して従来のTFTの製造方法の一例を工程順に説明する。第9図Aに示すように、例えばガラス基板11上にプラズマCVD法によってa-Si:Hの非晶質半導体層4を全面的に被覆した後、選択的エッチング等によるパターンニングによって非晶質半導体層4のアイランドを形成する。そしてこの非晶質半導体層4に対して例えばエキシマレーザー光Lによるパルスレーザー照射を行う。

するTFT(11)を得るものである。

D. 発明が解決しようとする課題

ところがこのような方法による場合、第9図AおよびBで説明した非晶質半導体層4の結晶化のためのレーザー照射作業と、不純物含有層4dの不純物を多結晶半導体層4a中に導入(拡散)するレ

が課題となる。

さらにまた、特に第9図Bの工程における不純物のドーピングのためのレーザー光照射に際してはすでにゲート絶縁層4bおよびゲート電極4cによるゲート部が、多結晶半導体層4a上に突出して形成されていることから干渉作用によってこのゲート部近傍においてレーザー光照射が不十分で、不純物含有層4dからの不純物ドーピング量が、特に特性上大きく影響するゲート部近傍で不十分となるという特性の不安定性、信頼性の低下を来すおそれがあるという課題がある。

また第9図で説明した例においては、不純物含

有層(4)を設けてこれよりの不純物を多結晶半導体層(4)中に拡散するようにした場合であるが、多結晶半導体層(4)にイオン注入によって不純物ドーピングを行いその不純物の活性化をレーザー照射によって行う場合においてもレーザー照射のゲート部の突出部による干渉効果によってアニールが不十分となりこの場合においても同様に特性の不安定性を招来するという課題がある。

本発明は、上述した課題の解決、即ちレーザー光照射のアニール処理の繰返し作業の回避、およびソースおよびドレインの不純物導入あるいは活性化の不安定性を回避することを目的とし、良好な特性を有するTFTを確実に得ることができるようにした薄膜トランジスタ(TFT)の製造方法を提供する。

D. 課題を解決するための手段

本発明においては、非晶質半導体層に対する結晶化あるいは(および)微細多結晶半導体層に対する再結晶化を行う光ビームアニーリング工程を有

ゲート部の形成前に行うか、またはゲート部側からの照射によらないようにしたことによってゲート部の存在によるレーザー光の干渉によってレーザー光照射の不十分な部分がゲート部近傍のソースおよびドレイン領域に生じてその特性に不安定性を招来する不都合が回避される。

第1図を参照して本発明によるTFTの製造方法の一例を詳細に説明する。

この場合、まず第1図Aに示すように、後述する光ビームアニールに用いられる光に対し光透過性のガラス板等よりなる基板(31)を設ける。そしてその一主面上にゲート電極(32)を形成する。このゲート電極(32)は例えばAl, Mo, Cr等を例えば500Å程度に全面的に蒸着し、選択的エッチングによって所要にパターン化して形成し得る。

次に第1図Bに示すようにゲート電極(32)上を含んで全面的にゲート絶縁層(33)を被着形成する。このゲート絶縁層(33)は、例えばSiO₂あるいは

する半導体トランジスタの製造方法において、例えば第1図Eに示すように非晶質半導体層(21)のソースおよびドレインを形成する領域に不純物原子の注入あるいは不純物原子を含む不純物含有層(22)の形成を行って後に光ビームアニーリング工程をゲート部の形成前あるいはゲート部の形成後とは反対側からの光ビーム照射によって行って非晶質半導体層(21)に対する結晶化あるいは(および)微細多結晶半導体の再結晶化による結晶粒の成長拡大を行って、第1図Fに示すように、多結晶半導体層(23)の形成を行うと共に、ソースおよびドレイン各領域(24)および(25)の形成を行う。

F. 作用

上述の本発明製造方法によれば、1回の光ビームアニーリング例えばパルスエキシマレーザー照射によって結晶化ないしは再結晶化のアニールと、不純物原子の拡散ないしは注入のアニールとを行うことができるようにしたので、製造の簡易化がはかられる。またこの場合、その光ビーム照射を

SiH₄を1000Åの厚さに例えばCVDによって形成する。さらにこれの上に例えばプラズマCVDによって非晶質半導体層(21)例えば水素を10原子%含むa-Si:Hを形成する。

第1図Cに示すように全面的にフォトリジスト層すなわち感光性樹脂層(34)を形成し、基板(31)の裏面即ち基板(31)のゲート電極(32)等が被着形

ト層(34)に対する露光用の光L₀を照射し、ゲート電極(32)を光学的マスクとして、これの直上以外のフォトリジスト層(34)を露光して可溶性とする。

次に、フォトリジスト層(34)に対する現像処理を行って、第1図Dに示すように、フォトリジスト層(33)を、ゲート電極(32)の直上にゲート電極(32)のパターンに対応するパターンにパターンニングを行う。続いて全面的にプラズマCVD等によってドーパント、例えばn型の不純物の磷Pを含むガス例えばフォスフィンPH₃と、シリコンの原料ガス例えばモノシランSiH₄のガスとを用いてフ

ォトレジスト層(34)を剥離することのない程度の温度例えば100℃をもって不純物含有層(22)を形成する。

次に第1図Eに示すように、フォトレジスト層(34)を除去してこれの上の不純物含有層(22)を選択的に除去する。次に光ビームし例えばXeCエキシマレーザー光を不純物含有層(22)上から全面的に行うパルス照射してアニール処理する。

このようにして第1図Fに示すように非晶質半導体層(21)が結晶化された多結晶半導体層(23)を形成すると共に、これに不純物含有層(22)中の不純物原子を拡散して、第1図Eにおける不純物含有層(22)の除去された即ちゲート電極(32)の直上に相当する不純物導入がなされていない部分を高比抵抗のチャンネル形成領域(26)として、その両側にそれぞれ低比抵抗のn型のソースおよびドレイン各領域(24)および(25)を形成する。

第1図Gに示すように多結晶半導体層(23)を周知の選択的エッチングによって除去するパターンニングを行って最終的にTFTを形成する部分を残

ネルギーと比抵抗の関係の測定曲線図を示したもので、これによれば充分低比抵抗化されていることがわかる。

またこのようにして得たTFTのドレイン電圧 V_D をパラメータとするドレイン電流 I_D -ゲート電圧 V_G の特性曲線図は、第3図に示すようになり、優れたトランジスタ特性を示した。

図を示すもので、この例においては、ソース、ドレイン、ゲートの各電極導出を同一側から行ったブレナー型TFTを得る場合である。この場合第4図AからCに示すように第1図AからGまでと同一工程を経る。第1図におけるゲート電極(32)は、第2のゲート電極とするか、或いは第4図Cにおけるフォトレジスト層(34)に対する露光マスクのみとして用いられる。そして第4図Hに示すように不純物ドーパがなされたソースおよびドレイン各領域(24)および(25)の形成がなされた多結晶半導体層(23)上を全面的に覆ってゲート絶縁層(43)、例えば1000Å程度の厚さのSiO₂層をCVD

して他部を除去する。

第1図Hに示すようにソースおよびドレイン各領域(24)および(25)上に例えばAlを全面蒸着し、これを選択的にエッチング等によって除去してソースおよびドレイン各電極(27)および(28)を形成する。このようにすれば、基板(31)上にゲート電極(32)とゲート絶縁層(43)によるゲート部が形成された多結晶半導体層(23)によるいわゆるスタガード型のTFT(35)が形成される。

この方法によれば、1回の光ビームアニール、即ちレーザー光の照射によって不純物の拡散と非晶質半導体層(21)に対する結晶化とを同時に行うものであるが、この場合においてこのレーザー光の照射側にはゲート部が存在しないのでゲート部近傍においても充分にレーザー光照射を行うことができ、不純物含有層(22)からの不純物ドーパを充分に行うことができ、ソースおよびドレイン各領域(24)および(25)における比抵抗を充分低くすることができた。

第2図は、シリコン層におけるレーザー照射エ

法等によって形成する。

次に第4図Iに示すように絶縁層(43)に対して選択的エッチングによってソースおよびドレイン各領域(24)および(25)上に電極窓(24W)および(25W)を穿設する。

次にこれら窓(24W)および(25W)内を含んで全面的にAl等の金属層を例えば蒸着によって形成

4図Jに示すように、ソース及びドレイン各領域(24)および(25)に対してソースおよびドレイン各電極(27)および(28)を形成すると同時に両者の間のチャンネル形成領域(26)上のゲート絶縁層(43)上に上部ゲート電極(44)を形成する。このようにしてブレナー型TFT(45)が形成される。

尚このようにして得たTFT(45)は下層のゲート電極(32)を併用して2極ゲート型のTFT構造とすることもできる。

この第4図で説明した方法では非晶質シリコン半導体層(21)への、光ビームアニールのレーザー光が照射された側に、つまり多結晶化が良好に

行われた側でゲート電極(44)による上部ゲートを形成するようにしたので、よりすぐれた特性のTFTを得ることができる。

このようにして得たTFTの同様のI-V特性曲線の測定結果は、第5図に示す。これより明らかなようにこの本発明方法によって得たTFT(45)もまた優れたトランジスタ特性を示した。

上述の第4図の方法によれば、半導体層の同一側からゲート、ソースおよびドレインの各電極導出を行うことができるようにしたブレナー型構成のTFT(45)を得ることができるものであるが、さらに第1図で説明した例と同様にスタガード型のTFTを得る他の例を第6図を参照して説明する。この場合においても第6図AからGに示すように、第1図AからGで説明したと同様の工程を経て第6図Hに示すように第4図IIで説明したと同様に、SiO₂等のゲート絶縁膜(43)を1000Å程度の厚さにCVD法等に形成する。

次に第6図Iに示すようにゲート絶縁膜(43)上

ゲート絶縁膜(43)に対してその全厚さにわたってソースおよびドレイン領域(24)および(25)上に、ソースおよびドレイン電極の窓明けを行う。

そしてこれらソースおよびドレイン電極窓を通じてソースおよびドレイン各領域(24)および(25)上にそれぞれ例えばAs導電膜等によるソースおよびドレイン各電極(27)および(28)を形成する。

から上部ゲート電極(44)、ソースおよびドレイン各電極(27)および(28)が導出されたブレナー型のTFT(48)を得ることができる。

さらにまた他のブレナー型のTFTを得る本発明製法の例を第7図を参照して説明する。この例においては、第7図Aに示すようにガラス板等の基体(31)を用意し、これの上に例えば全面的にSi₃N₄による非晶質半導体層(21)を、例えば厚さ200~500ÅをもってプラズマCVD法等によって形成し、TFTを構成すべき部分を残して他部を選択的にエッチングするパターニングを行って非晶質半導体層(21)をアイランド状とする。

に光透過性導電膜(46)例えばインジウム・チタン複合酸化物を蒸着し、この光透過性導電膜(46)上、下層ゲート電極(32)の直上に、フォトリジスト層(47)を設ける。このフォトリジスト層(47)の形成は光透過性導電膜(46)に全面的にフォトリジストの塗布を行って後に基体(31)の裏面側から、この下層のゲート電極(32)を露光マスクとしてフォトリジスト層(47)に対する露光用の光Lsの全面的照射を行い、その後現像処理を行って下層のゲート電極(32)の直上のレジスト層(47)のみを残してパターン化する。

その後レジスト層(47)をエッチングレジストとして光透過性導電膜(46)に対するエッチングを行って第6図Jに示すようにこれを上部ゲート電極(44)とする。

その後第6図Kに示すように、ゲート絶縁層(43)に対してソースおよびドレイン領域(24)および(25)上に電極窓明けを行うか、あるいはさらに全面的に図示しないが所要の厚さの絶縁層例えば、SiO₂をCVD法等によって形成し、この絶縁層と

次に第7図Bに示すように基体(31)上に全面的に1000Å程度の厚さをもって例えばSiO₂よりなるゲート絶縁膜(33)をCVD法等によって形成し、これの上に例えばAsゲート電極(44)の構成層を全面蒸着する。

第7図Cに示すように非晶質半導体層(21)上の最終的にゲート部となる部分にフォトリジスト層(47)の全面塗布、パターン露光および現像処理に

第7図Dに示すように、フォトリジスト層(34)をマスクとしてゲート電極(44)の構成層とゲート絶縁膜(33)に対して順次エッチングを行ってゲート部を構成する。

次に例えばプラズマCVDによって厚さ50Å程度に前述したと同様に例えば不純物の磷Pを含むガスPH₃とシリコンを含む原料ガスSiH₄とを用いてレジスト層(34)を侵すことのない100℃程度の温度をもって不純物含有層(22)を被着形成する。

次に第7図Eに示すように、レジスト層(34)を除去し、次いで更に全面的にフォトリジスト層

(74)の塗布を行い基板(31)の裏面から、アイランド状の非晶質半導体層(21)を露光マスクとする程度の露光強度をもって露光用光を全面的に照射してフォトリソスト層(74)に対して露光処理を行い現像処理を施してアイランド状の非晶質半導体層(21)の直上層を残して他部のフォトリソスト層(74)を除去する。

次にこのフォトリソスト層(74)をエッチングマスクとして、非晶質半導体層(21)上の不純物含有層(22)を残して他部の不純物含有層(22)をエッチング除去する。

次にパルスエキシマレーザー光等のアニール用光ビームを基板(31)の裏面側から所要のパワーをもって行って非晶質半導体層(21)の多結晶化を行って多結晶半導体層(23)を形成すると同時に不純物含有層(22)からの不純物の多結晶半導体層(23)への拡散導入を行ってソースおよびドレイン各領域(25)及び(26)の形成を行う。

次に例えば全面的にSiO₂等の絶縁層(73)をCVD法等によって形成し、更にこの絶縁層(73)

光ビーム照射によるアニールによって結晶化して多結晶半導体層(23)を形成した場合であるが、或る場合は微細多結晶層を光ビームアニールによって再結晶化して結晶成長させて多結晶半導体層(23)を形成する場合に適用することもできる。

H. 発明の効果

例えばレーザー照射によって非晶質半導体層(21)の結晶化或いは微細多結晶層の再結晶化と、これに対する不純物の拡散ないしは注入不純物イオンの活性化とを同時に行うことができるので、その製造工程数の簡略化がはかれると共に、そのレーザー光(アニール光)照射をゲート部の形成前またはゲート層とは反対側即ち突部を殆んど示さない側からのレーザー照射によって行うようにしたので、ゲート部の突出による干渉効果によってゲート部近傍のソースおよびドレイン側でのレーザー照射の不足による不純物の拡散即ち、不純物導入不足、もしくはその活性化が不十分とな

に対しソースおよびドレイン各領域(24)及び(25)上に電極空明けを行ってA₂等の金属層の全面露光および選択的除去を行ってソースおよびドレイン各電極(27)および(28)を形成し、多結晶半導体層(23)の、ソースおよびドレイン領域(24)および(25)間の不純物導入がなされていない高抵抗領域をチャンネル形成領域(26)とする目的とするプレーナ型のTFT(75)を得る。

第8図はこのようなして得たTFT(75)のトランジスタ特性即ちI_d-V_g特性の測定結果で、すぐれたトランジスタ特性を示した。

なお上述した例においては、ソースおよびドレイン各領域(24)および(25)の形成を、不純物含有層(22)からの拡散によって形成した場合であるが、ある場合はイオン注入によってソースおよびドレイン各領域の形成を行って、その後非晶質半導体層(21)の多結晶化のアニール処理と、イオン注入された不純物イオンの活性化処理とを同時に行うようにすることもできる。

また、上述した例では、非晶質半導体層(21)を

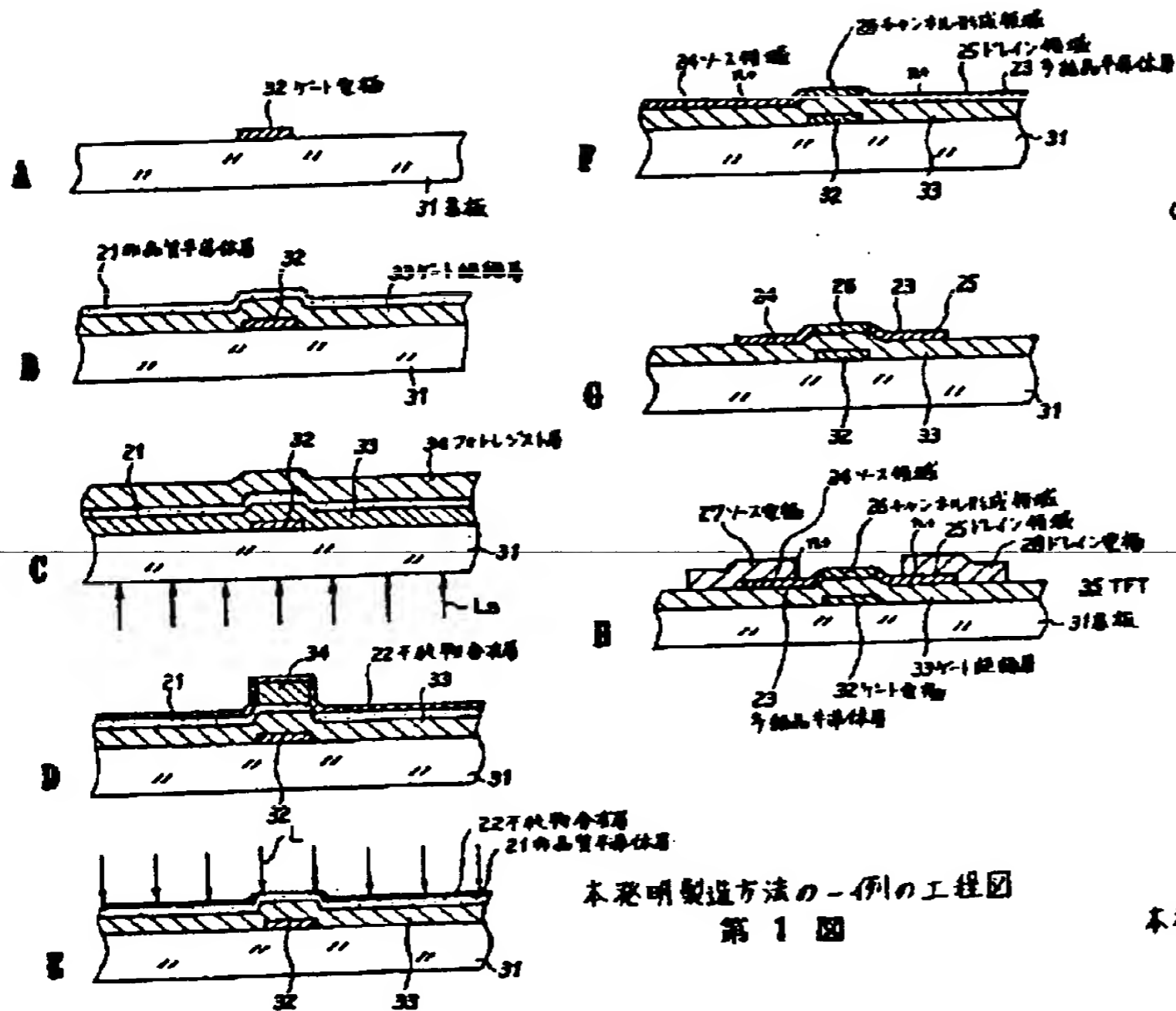
ることによる特性の低下あるいは不安定性、信頼性の低下を回避できる。

図面の簡単な説明

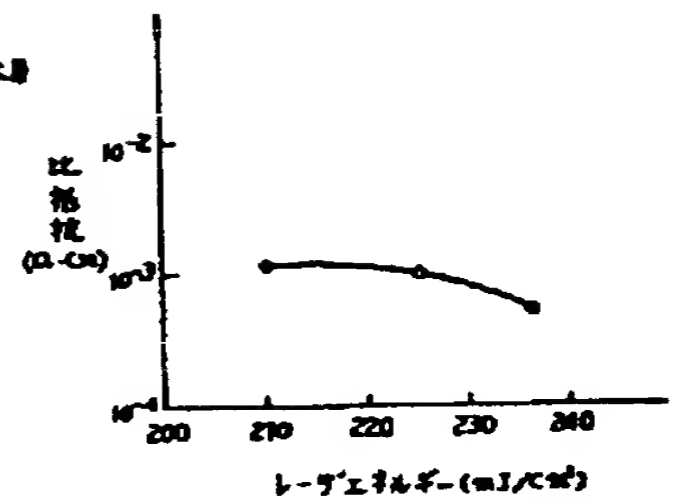
第1図は本発明製造方法の一例の工程図、第2図はシリコン層のレーザー照射エネルギーと比抵抗の関係の測定曲線図、第3図は第1図で得たトランジスタのI_d-V_g特性曲線図、第4図は本

で説明した方法によって得たトランジスタのI_d-V_g特性曲線図、第6図は本発明製造方法のさらに他の例の工程図、第7図は本発明製造方法の同様の他の例の工程図、第8図は第7図で得たトランジスタのI_d-V_g特性曲線図、第9図は従来方法の工程図である。

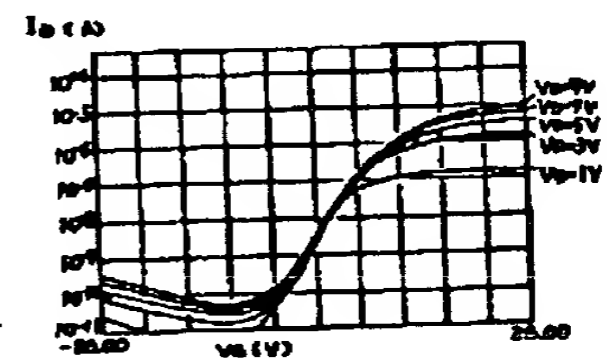
(31)は基板、(23)は多結晶半導体層、(22)は不純物含有層、(23)はゲート絶縁膜、(32)(44)はゲート電極、(24)および(25)はソースおよびドレイン各領域、(27)および(28)はソースおよびドレイン電極である。



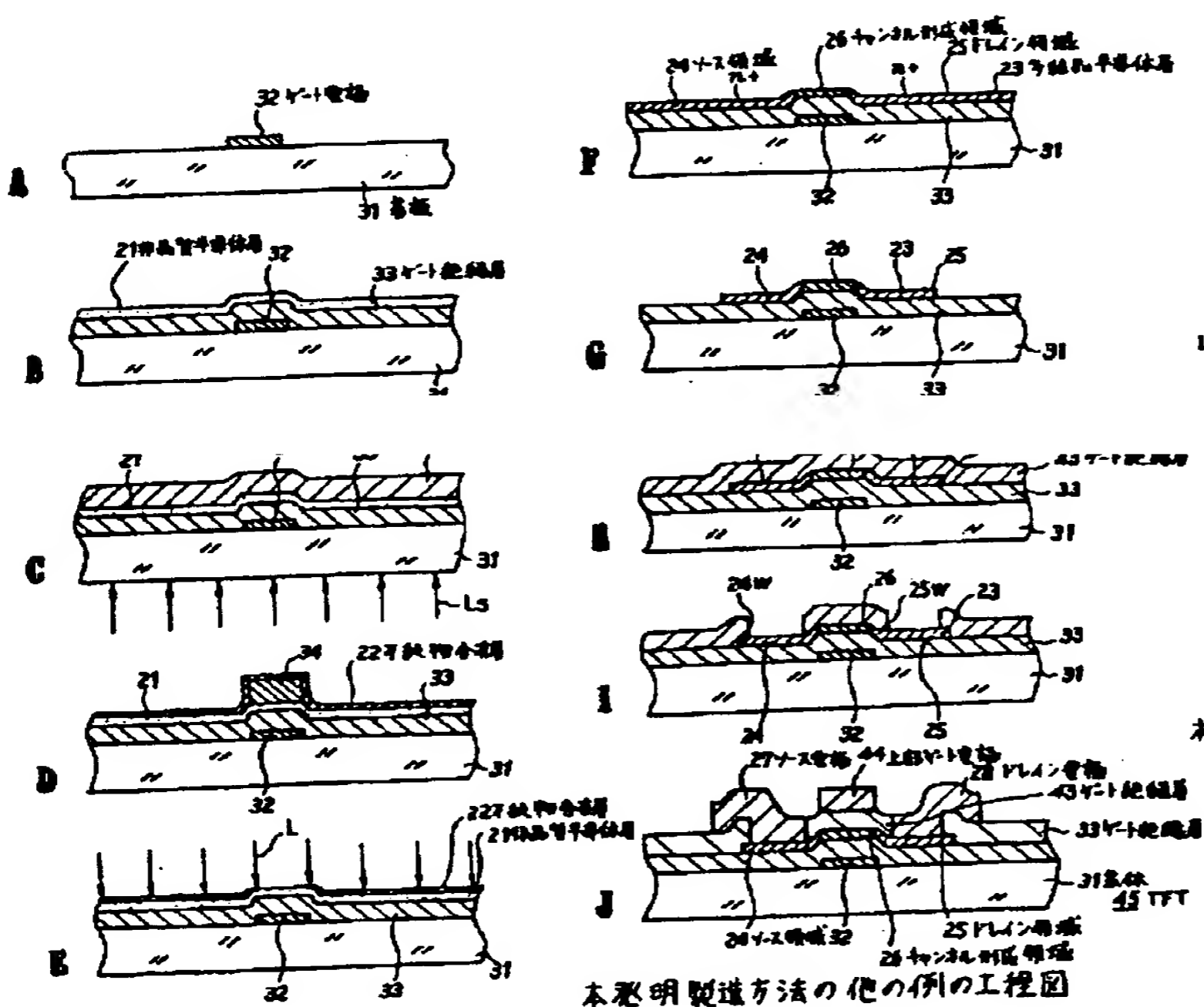
本発明製造方法の一例の工程図
第 1 図



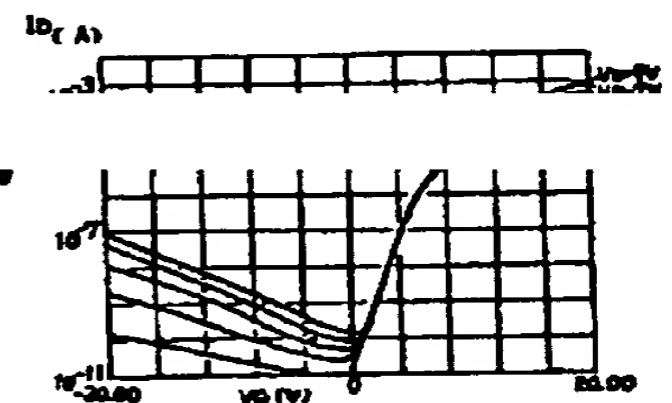
シリコン層のレーザー照射エネルギーと比抵抗の関係の測定曲線図
第 2 図



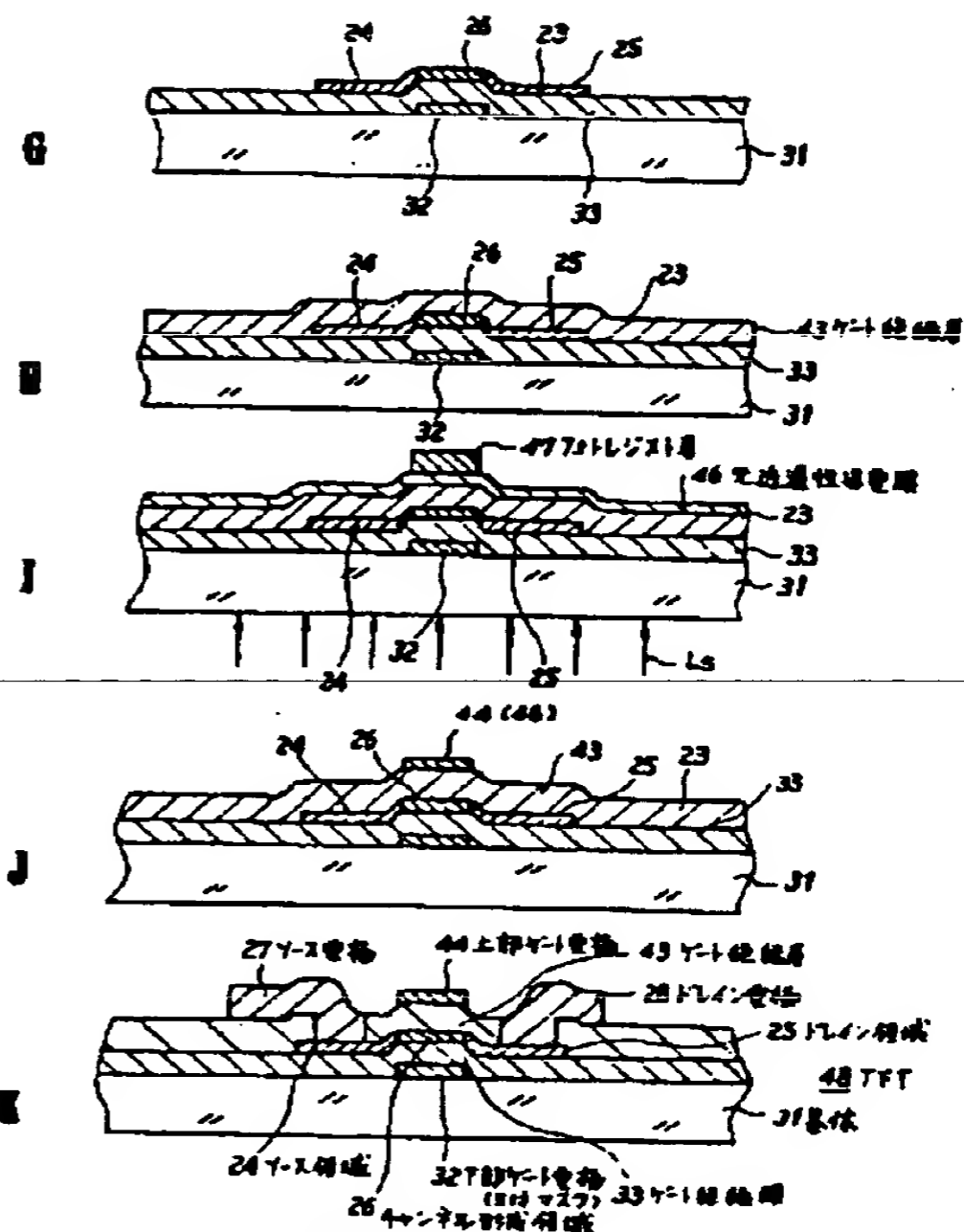
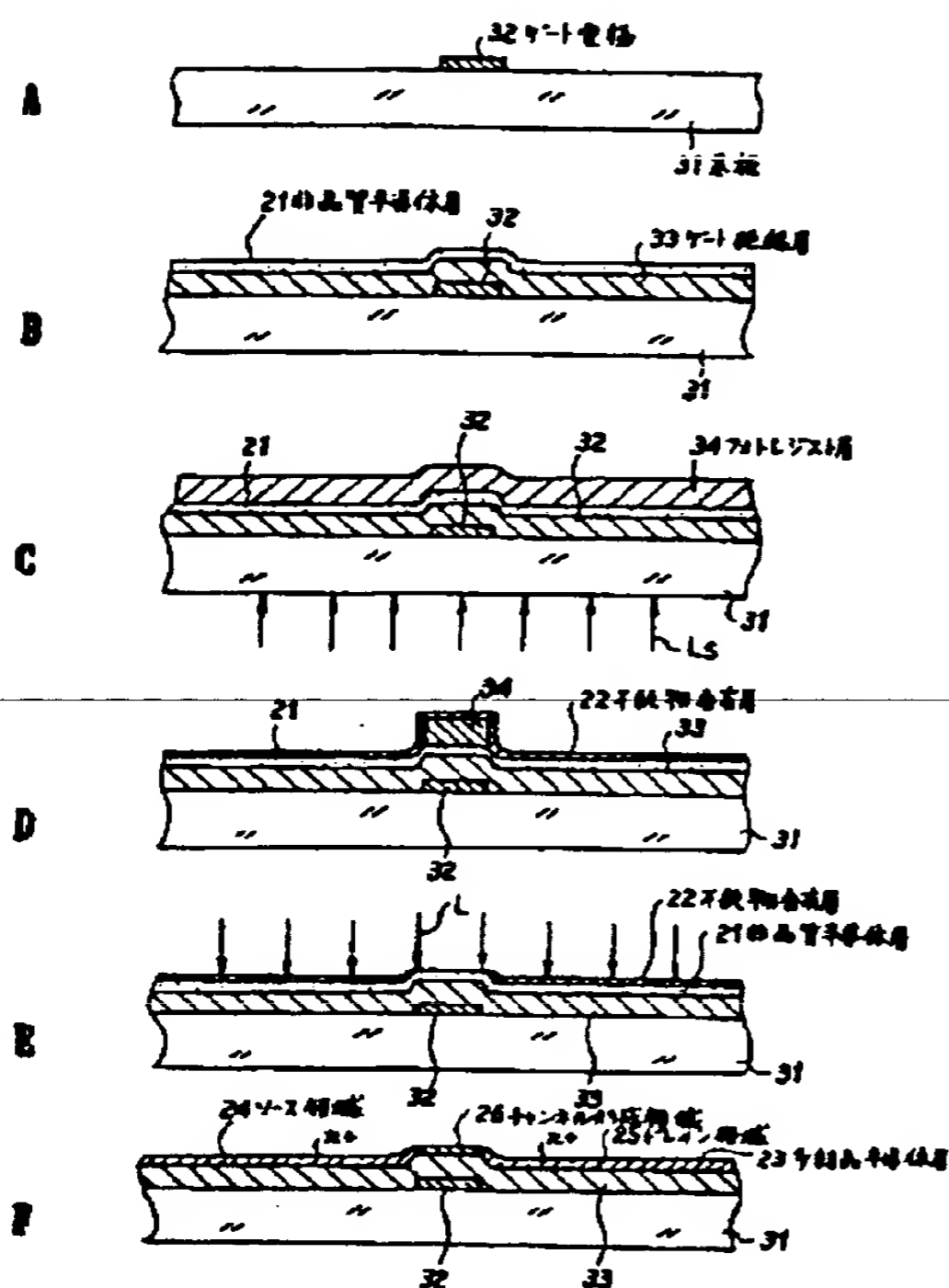
本発明方法によって得たTFTの I_d - V_g 特性曲線図
第 3 図



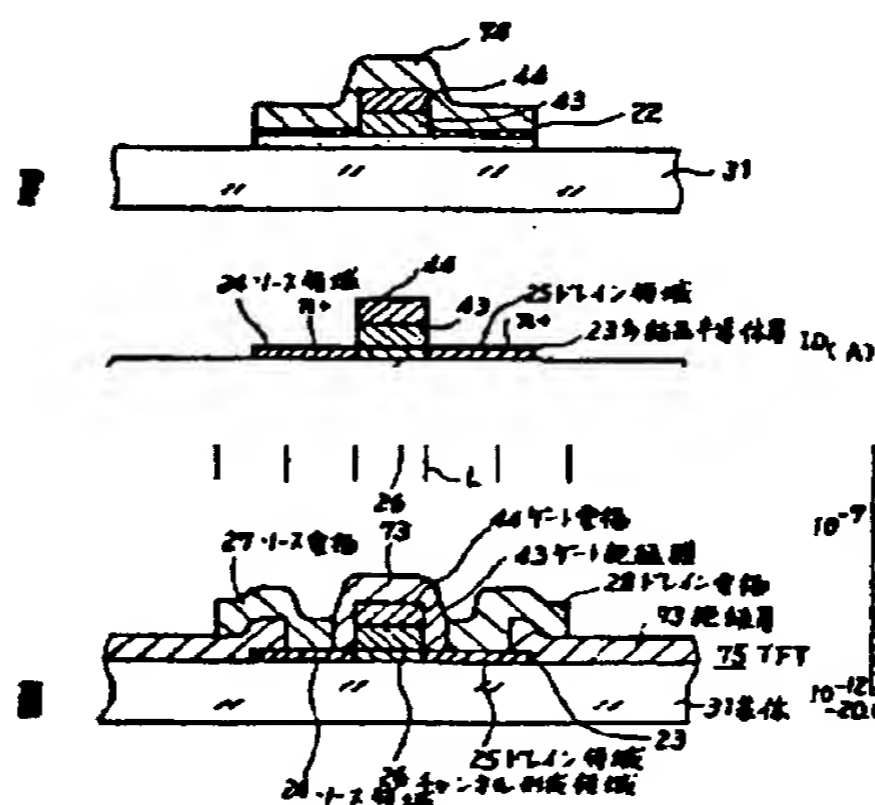
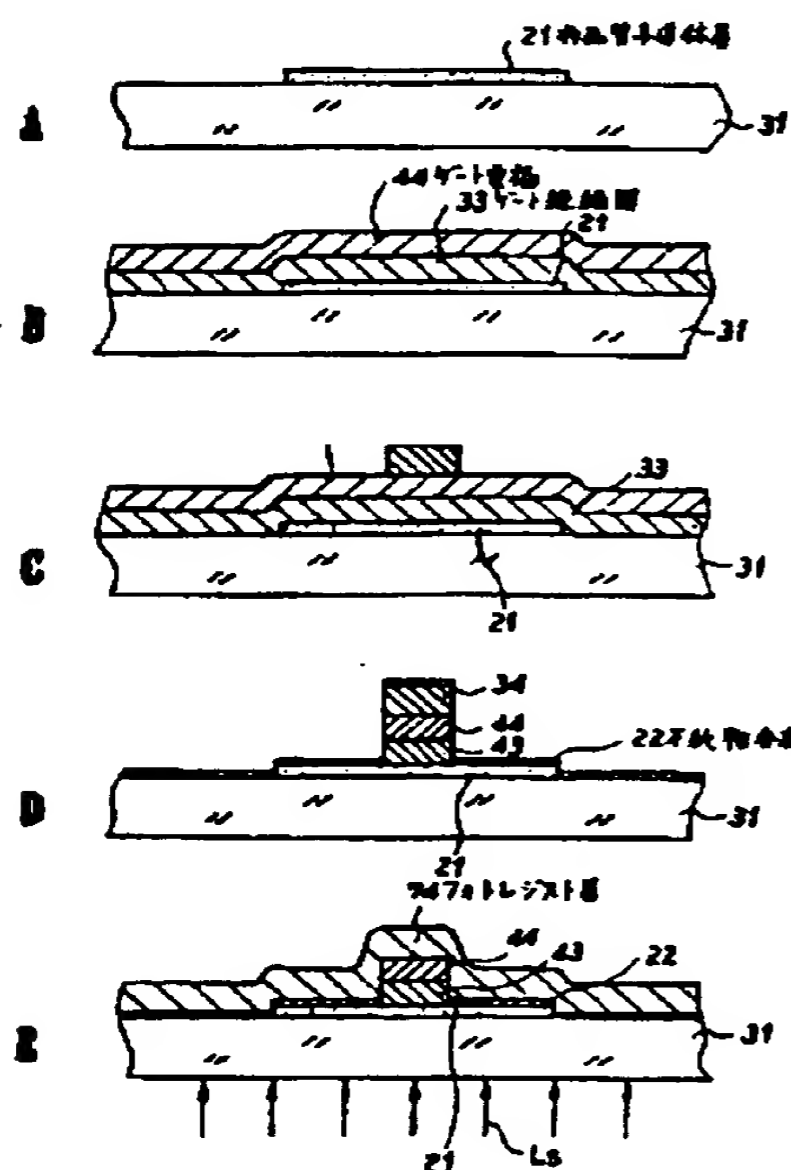
本発明製造方法の他の例の工程図
第 4 図



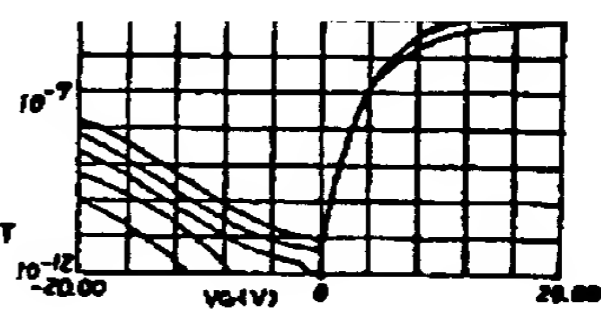
本発明方法によって得たTFTの I_d - V_g 特性曲線図
第 5 図



第 6 図



第 7 図

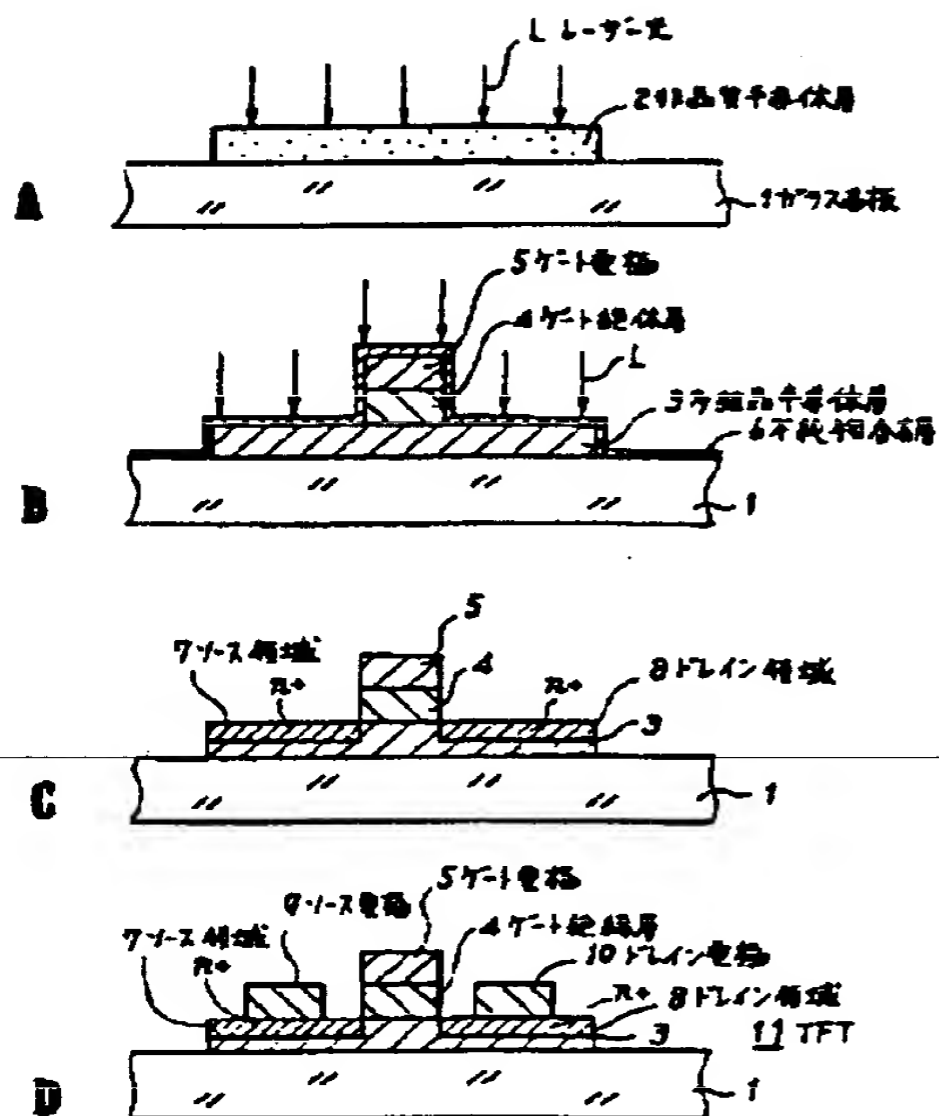


不透明方法で得たTFTの
 I_d-V_g 特性曲線図

第 8 図

平成 1 年、2 月 23 日

特許庁長官 古 田 文 毅 殿



従来の製造方法の工程図
第 9 図

1. 事件の表示

昭和 63 年 特 許 願 第 331337 号

2. 発明の名称

薄膜トランジスタの製造方法

3. 補正をする者

事件との関係 特許出願人

住 所 東京都品川区北品川 6 丁目 7 番 35 号

名 称 (218) ソ ニ ー 株 式 会 社

代表取締役 大 賀 典 雄

4. 代 理 人

住 所 東京都新宿区西新宿 1 丁目 8 番 1 号
TEL 03-343-582100 (新宿ビル)

氏 名 (8088) 弁 理 士 松 隈 秀 隆

5. 補正命令の日付 昭和 年 月 日

6. 補正により増加する発明の数

7. 補正の対象 明細書の発明の詳細な説明
の欄及び図面

8. 補正の内容

方式 (裏)

(1) 明細書中、第 12 頁 8 行～9 行「スタガード型」を「逆スタガード型」に訂正する。

(2) 同、第 12 頁末行「シリコン層における」を「ソース及びドレインシリコン層における」に訂正する。

(3) 同、第 15 頁 13 行～14 行「第 1 図で……他の例を」を「第 1 図の逆スタガード型 TFT の同

型 TFT を得る例を」に訂正する。

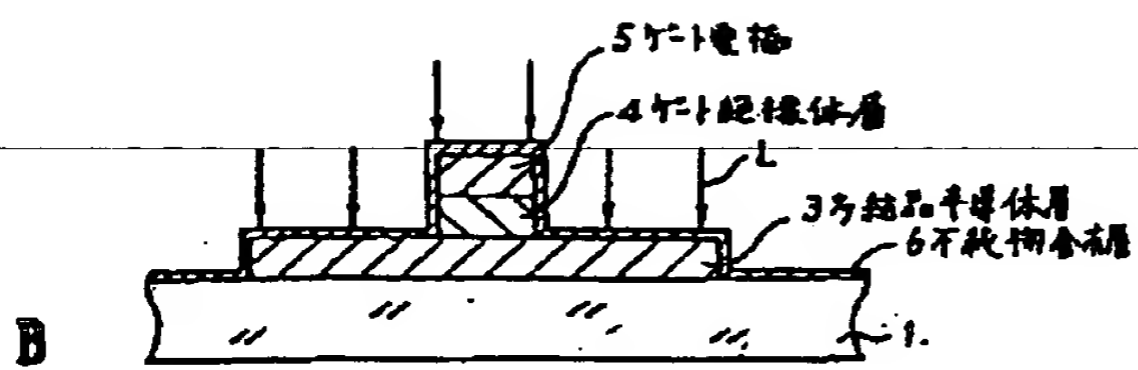
(4) 同、第 16 頁 1 行「インジウム・チタン」を「インジウム・すず」に訂正する。

(5) 同、第 17 頁 10 行「導出されブレナー型」を「導出され、しかもセルフアラインゲート構造のブレナー型」に訂正する。

(6) 同、第 20 頁 7 行～8 行「目的とするブレナー型」を「目的とするセルフアラインゲート構造ブレナー型」に訂正する。

(7) 同、同頁 9 行～10 行「TFT (75) の……I。-V。」を「TFT (75) の I。-V。」に訂正する。

(8) 図面中、第 9 図 B を別紙のとおり訂正する。
以 上



第 9 図